

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-143782

(43)Date of publication of application : 28.05.1999

(51)Int.Cl.

G06F 12/16
G11C 16/02

(21)Application number : 09-305379

(71)Applicant : NEC OFF SYST LTD

(22)Date of filing : 07.11.1997

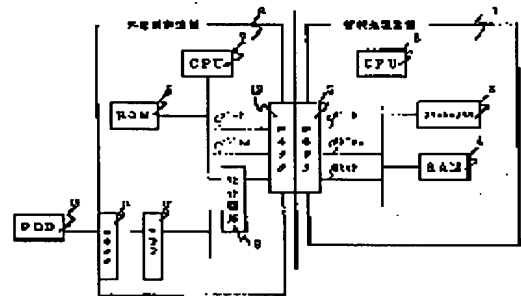
(72)Inventor : OKI SHOJI

(54) REWRITING DEVICE OF NON-VOLATILE MEMORY IN INFORMATION PROCESSOR AND METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To safely execute rewriting of a non-volatile memory such as a flash memory in an information processor.

SOLUTION: When an outside controller 6 is connected with an information processor 1 and activated, a CPU 2 is reset by a reset circuit 9, and the CPU 2 is separated from a main bus, and the control of a flash memory 3 and of an information processor 1 is transferred to a CPU 7. On the other hand, the CPU 7 executes a data load program stored in an ROM 8, and writes updated program data from an FDD 13 in an RAM 4. The written updated program data are written in the flash memory 3 by the execution of a flash memory writing program stored in the ROM 8. Thus, even when the writing of the updated program data in the flash memory 3 fails, the rewriting can be attained.



LEGAL STATUS

[Date of request for examination] 07.11.1997

[Date of sending the examiner's decision of rejection] 19.06.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-143782

(43) 公開日 平成11年(1999) 5月28日

(51) Int.Cl.⁶

G 0 6 F 12/16

G 1 1 C 16/02

識別記号

3 1 0

F I

G 0 6 F 12/16

G 1 1 C 17/00

3 1 0 A

6 0 1 Q

審査請求 有 請求項の数11 O L (全 8 頁)

(21) 出願番号

特願平9-305379

(22) 出願日

平成9年(1997)11月7日

(71) 出願人 000232058

日本電気オフィスシステム株式会社

東京都港区芝4丁目13番2号

(72) 発明者 大木 尚司

東京都港区芝四丁目13番2号 日本電気オ
フィスシステム株式会社内

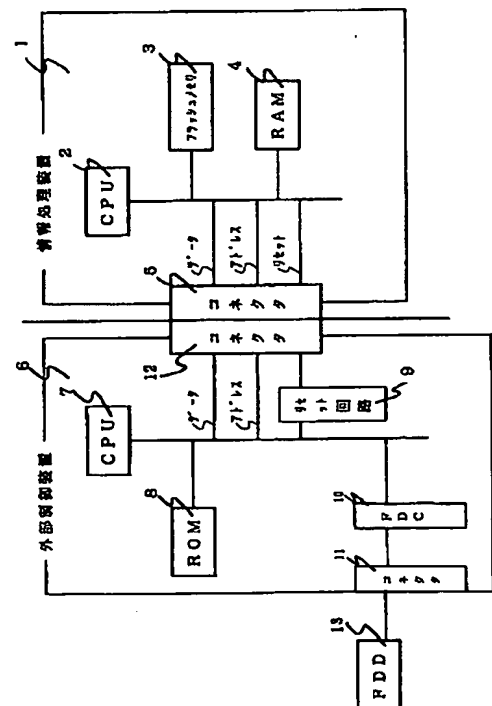
(74) 代理人 弁理士 岩佐 義幸

(54) 【発明の名称】 情報処理装置における不揮発性メモリの書き換え装置および方法

(57) 【要約】

【課題】 情報処理装置におけるフラッシュメモリ等の不揮発性記憶装置の書き換えを安全に実行すること。

【解決手段】 情報処理装置1に外部制御装置6を接続し、起動すると、リセット回路9がCPU2にリセットをかけCPU2をメインバス上から切り離し、フラッシュメモリ3および情報処理装置1の制御がCPU7に移る。一方、CPU7は、ROM8に格納されたデータロードプログラムを実行し、FDD11からの更新プログラムデータをRAM4に書き込む。書き込まれた更新プログラムデータは、ROM8に格納されたフラッシュメモリ書き込みプログラムの実行により、フラッシュメモリ3に書き込まれる。これにより、万一、更新プログラムデータのフラッシュメモリ3への書き込みが失敗した場合でも、再度書き込みが可能となる。



【特許請求の範囲】

【請求項1】 情報処理装置内部に設けられ、システムプログラムを格納する不揮発性記憶装置に対して、前記情報処理装置の外部に設けられた外部制御装置から、前記不揮発性記憶装置の書き換えを行う、情報処理装置における不揮発性メモリの書き換え装置であって、
前記外部制御装置は、
前記情報処理装置に搭載のCPUにリセットをかけるリセット手段と、
前記不揮発性記憶装置を書き換えるための更新プログラムデータを読み込む更新プログラムデータ読み込み手段と、
前記情報処理装置のメインバスを介し、前記不揮発性記憶装置に対して、前記更新プログラムデータの書き込みを行う手段と、
を備えたことを特徴とする情報処理装置における不揮発性メモリの書き換え装置。

【請求項2】 情報処理装置と前記情報処理装置におけるシステムプログラムの書き換えを行う外部制御装置とからなる、情報処理装置における不揮発性メモリの書き換え装置であって、
前記情報処理装置全体の制御を行う第1のCPUと、
システムプログラムを格納する前記情報処理装置に搭載された不揮発性記憶装置と、
データを一時的に格納するための前記情報処理装置に搭載されたRAMと、
前記情報処理装置に前記外部制御装置を接続するための第1のコネクタと、
前記情報処理装置における第1のCPUにリセットをかけるための前記外部制御装置に搭載されたりセット手段と、
前記リセット手段により、前記第1のCPUにリセットがかけられた状態において、前記外部制御装置全体の制御および前記情報処理装置における不揮発性記憶装置およびRAMの制御を行う第2のCPUと、
データロードプログラムおよびフラッシュメモリ書き込みプログラムを格納する前記外部制御装置に搭載されたROMと、
外部記録媒体から前記不揮発性記憶装置の内容を書き換えるための更新プログラムデータを読み込むための前記外部制御装置に搭載された更新プログラムデータ読み込み手段と、
前記外部制御装置を前記情報処理装置に接続するための第2のコネクタと、
を備えたことを特徴とする情報処理装置における不揮発性メモリの書き換え装置。

【請求項3】 前記第2のCPUは、前記不揮発性記憶装置やRAMおよびROMをアクセスするための、アドレスおよびデータ幅をサポートするのに十分な安価なデバイスにて構成されることを特徴とする請求項2に記載の

情報処理装置における不揮発性メモリの書き換え装置。

【請求項4】 前記リセット手段は、前記情報処理装置の電源を監視する、電源監視ICにより構成されることを特徴とする請求項1、2、または3に記載の情報処理装置における不揮発性メモリの書き換え装置。

【請求項5】 前記更新プログラムデータ読み込み手段は、FDやCD-ROM、またはMOやZIPなどのリムーバブルディスクを読み取るための装置であることを特徴とする請求項1～4のいずれかに記載の情報処理装置における不揮発性メモリの書き換え装置。

【請求項6】 前記不揮発性記憶装置は、フラッシュメモリにより構成されることを特徴とする請求項1～5のいずれかに記載の情報処理装置における不揮発性メモリの書き換え装置。

【請求項7】 情報処理装置内部に設けられ、システムプログラムを格納する不揮発性記憶装置に対して、前記情報処理装置の外部に設けられた外部制御装置から、前記不揮発性記憶装置の書き換えを行う、情報処理装置における不揮発性メモリの書き換え方法であって、
前記外部制御装置から前記情報処理装置のCPUにリセットをかけ、
前記外部制御装置から前記情報処理装置のメインバスを介して、前記不揮発性記憶装置に対する書き込みを行う、
ことを特徴とする情報処理装置における不揮発性メモリの書き換え方法。

【請求項8】 情報処理装置と前記情報処理装置におけるシステムプログラムの書き換えを行う外部制御装置とからなる、情報処理装置における不揮発性メモリの書き換え方法であって、
前記外部制御装置に搭載の第2のCPUは、
リセット手段を制御して、前記情報処理装置に搭載の第1のCPUにリセット信号を出力することで、前記第1のCPUをメインバスから切り放し、
前記第1のCPUがメインバスから切り放されると、前記外部制御装置に搭載のROMをアクセスして、前記ROMに格納されたデータロードプログラムの実行を開始し、
前記データロードプログラムの実行によって、FDコントローラを制御し、前記FDコントローラとコネクタを介して接続されたFDドライブユニットから、不揮発性記憶装置の更新プログラムデータを読み出し、
さらに、前記データロードプログラムの実行によって、前記FDドライブユニットより読み出された更新プログラムデータを、前記情報処理装置に搭載のRAMにデータロードし、
前記RAMへのデータロードが完了すると、前記ROMをアクセスして、格納されたフラッシュメモリ書き込みプログラムの実行を開始し、
前記フラッシュメモリ書き込みプログラムの実行によっ

て、前記RAMにデータロードされた更新プログラムデータを、前記不揮発性記憶装置に書き込む、ことを特徴とする情報処理装置における不揮発性メモリの書き換え方法。

【請求項9】前記リセット手段は、前記情報処理装置の電源を監視する、電源監視ICにより構成されることを特徴とする請求項8に記載の情報処理装置における不揮発性メモリの書き換え方法。

【請求項10】前記FDドライブユニットは、CD-ROM、またはMOやZIPなどのリムーバブルディスクを読み取るためのドライブユニットであって、前記FDコントローラは、前記CD-ROM、またはMOやZIPなどのリムーバブルディスクを読み取るためのドライブユニットを制御するためのコントローラであることを特徴とする請求項8または9に記載の情報処理装置における不揮発性メモリの書き換え方法。

【請求項11】前記不揮発性記憶装置は、フラッシュメモリにより構成されることを特徴とする請求項8、9、または10に記載の情報処理装置における不揮発性メモリの書き換え方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は情報処理装置に係り、特に情報処理装置内部に設けられた不揮発性記憶装置（以下、不揮発性メモリともいう）内における、プログラムデータ等の記憶データの書き換えを安全に行い得る、情報処理装置における不揮発性記憶装置の書き換え装置および方法に関する。

【0002】

【従来の技術】近年、情報処理装置内にて使用される、データの書き込みや消去をプログラマブルに行えるメモリとして、従来のP-ROM（ユーザがP-ROMライタで記憶情報を書き込むことが可能で、且つ何度か書き換え可能なメモリ）に代わり、フラッシュメモリを搭載したものが増加の傾向にある。これは、フラッシュメモリが、従来のイレーズ装置を用いて消去し、書き込み装置を用いて書き込みを行うP-ROM等と比べて、はるかに使いやすいためである。

【0003】即ち、従来のP-ROM等では、情報処理装置より一旦取り外し、専用のイレーズ装置にセットすることで書き込まれた内容（データ）を消去し、専用の書き込み装置（P-ROMライタ等）にセットすることで書き込みを行っていた。これに対して、フラッシュメモリでは、フラッシュメモリを情報処理装置に搭載したままの状態、プログラム電源電圧を印加のうえ、消去コマンドを発行することでフラッシュメモリの内容を消去したり、同じくプログラム電源電圧を印加のうえ、書き込みコマンドを発行することでプログラムを書き込むことが容易に行い得るためである。

【0004】また、近年、このような書き込みおよび消

去が可能な不揮発性記憶装置に1つであるフラッシュメモリに、オペレーティングシステム（OS）やBIOS（ベーシックI/Oシステム）等を格納し、システムROMの代わりとして使用する場合が増えてきている。

【0005】図3は、従来の情報処理装置における不揮発性記憶装置の書き換え装置の一例を示すブロック図である。

【0006】図3の従来の情報処理装置における不揮発性記憶装置の書き換え装置は、情報処理装置14の全体を制御するCPU2と、OSやBIOS等のシステムプログラム、並びにデータロードプログラムやフラッシュメモリ書き込みプログラム等のロードモジュールを格納するフラッシュメモリ3と、データを一時的に格納するRAM4と、フラッシュメモリ3を書き換えるためのデータおよびプログラム等の更新プログラムデータをFD（フロッピーディスク）媒体から読み出すための外部ファイル装置であるFDD（フロッピーディスクドライブ）13と、FDD13を制御するFDC（フロッピーディスクコントローラ）10と、FDC10とFDD13とを接続するためのFDDコネクタ11と、により構成される。

【0007】以上の構成において、フラッシュメモリ3の書き換えを行う場合には、例えばFDDコネクタ11にFDD13を接続することにより、情報処理装置14を起動させる。これにより、フラッシュメモリ3に格納されたデータロードプログラムが実行され、FDD13からフラッシュメモリ3の内容を更新するためのプログラムデータがRAM4にロードされる。

【0008】さらに、CPU2はフラッシュメモリ3に格納されたフラッシュメモリ書き込みプログラムを実行し、RAM4にロードされた更新プログラムデータを読み出しては、フラッシュメモリ3に書き込む。以上により、不揮発性記憶装置の書き換えが行われる。

【0009】従来、このような技術（情報処理装置）として、例えば、特開平7-114797号公報に開示されたものがある。特開平7-114797号公報に記載の発明には、前記フラッシュメモリの書き換え時のみ、外部電源装置からプログラム電源の供給を行う構成とすることで、不要な誤書き込みを防止するための技術が開示されている。

【0010】しかしながら、上記従来の技術においては、フラッシュメモリの書き込み時の誤書き込みにより、フラッシュメモリの一部に格納されたデータロードプログラム等が破壊された場合には、2度とOS等のプログラムデータの更新が出来なくなると共に情報処理装置を立ち上げる（起動する）ことが不可能となってしまうという問題があった。

【0011】一方、前記問題に対して、データロードプログラム等を格納する専用のROMを持つことで一応の解決を図っているが、この方法では、装置（情報処理装

置)の小型化を防げてしまうという問題(欠点)があった。

【0012】

【発明が解決しようとする課題】以上述べたように、上記従来の技術によると、フラッシュメモリの書き込み時に誤書き込み障害が発生した場合、フラッシュメモリの一部に格納されたデータロードプログラムやフラッシュメモリ書き込みプログラムあるいはOS等が破壊されてしまうことにより、二度と情報処理装置を立ち上げる(起動する)ことが不可能になってしまい、修理あるいは廃棄せざるを得なくなってしまうという問題があった。

【0013】また、このような装置では、フラッシュメモリの内容は、頻繁には更新されないのが一般的であるが、それにもかかわらず、更新プログラムデータを、外部ファイル装置から読み込むための制御を行うFDCや接続コネクタ等を、情報処理装置内に備えなくてはならず、小型化を防げてしまうという問題(欠点)があった。

【0014】そこで、本発明の目的は、フラッシュメモリの書き込み時に誤書き込み障害が発生した場合でも、リカバリー処理が可能で、且つフラッシュメモリ(不揮発性記憶装置)の書き換え時以外では必要としない外部ファイル装置であるFDDを制御するFDCを、外部制御装置側に備えることにより、情報処理装置の小型化を可能とした、情報処理装置における不揮発性記憶装置の書き換え装置および方法を提供することにある。

【0015】

【課題を解決するための手段】上記目的を達成するため、本発明は、情報処理装置と前記情報処理装置におけるシステムプログラムの書き換えを行う外部制御装置とからなる、情報処理装置における不揮発性メモリの書き換え装置であって、前記情報処理装置全体の制御を行う第1のCPUと、システムプログラムを格納する前記情報処理装置に搭載された不揮発性記憶装置と、データを一時的に格納するための前記情報処理装置に搭載されたRAMと、前記情報処理装置に前記外部制御装置を接続するための第1のコネクタと、前記情報処理装置における第1のCPUにリセットをかけるための前記外部制御装置に搭載されたリセット手段と、前記リセット手段により前記第1のCPUにリセットがかけられた状態において、前記外部制御装置全体の制御および前記情報処理装置における不揮発性記憶装置およびRAMの制御を行う第2のCPUと、データロードプログラムおよびフラッシュメモリ書き込みプログラムを格納する前記外部制御装置に搭載されたROMと、外部記録媒体から前記不揮発性記憶装置の内容を書き換えるための更新プログラムデータを読み込むための、前記外部制御装置に搭載された更新プログラムデータ読み込み手段と、前記外部制御装置を前記情報処理装置に接続するための第2のコネ

クタと、を備えて構成されることを特徴とするものである。

【0016】また、本発明は、情報処理装置と前記情報処理装置におけるシステムプログラムの書き換えを行う外部制御装置とからなる、情報処理装置における不揮発性メモリの書き換え方法であって、前記外部制御装置に搭載の第2のCPUは、リセット手段を制御して、前記情報処理装置に搭載の第1のCPUにリセット信号を出力することで、前記第1のCPUをメインバスから切り放し、前記外部制御装置に搭載のROMをアクセスして、前記ROMに格納されたデータロードプログラムの実行を開始し、前記データロードプログラムの実行によってFDコントローラを制御し、前記FDコントローラとコネクタを介して接続されたFDドライブユニットから不揮発性記憶装置の更新プログラムデータを読み出し、さらに、前記データロードプログラムの実行によって前記FDドライブユニットより読み出された更新プログラムデータを前記情報処理装置に搭載のRAMにデータロードし、データロードが完了すると前記ROMをアクセスして格納されたフラッシュメモリ書き込みプログラムの実行を開始し、前記フラッシュメモリ書き込みプログラムの実行によって、前記RAMにデータロードされた更新プログラムデータを前記不揮発性記憶装置に書き込む、ことを特徴とするものである。

【0017】上記外部制御装置からの不揮発性記憶装置の書き換え手段を有する本発明によれば、外部制御装置のCPUが、外部制御装置に備えたROMに格納された不揮発性記憶装置を書き換えるプログラムを実行させ、情報処理装置における不揮発性装置の書き込みを行なわせることにより、万が一、書き込み作業中に誤書き込み障害が発生しても再度書き込みを実行すれば良く、不揮発性記憶装置の書き換え作業を安全に行うことができる。

【0018】即ち、例えば、不揮発性記憶装置に記憶されるシステムデータの書き換え動作中に、誤書き込み障害が発生したり、或いは誤って情報処理装置の電源をOFFにしてしまった場合であっても、再度書き換え動作を実行することにより、情報処理装置そのものが動作不能になることを防止できるので、安心して、書き換え作業を行うことができる。

【0019】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して詳細に説明する。

【0020】図1は本発明の情報処理装置における不揮発性記憶装置の書き換え装置の実施の形態を示すブロック図である。

【0021】図1において、本発明の情報処理装置1は、情報処理装置1の全体制御を行うCPU2と、BIOSやOS等のシステムプログラムを格納するためのフラッシュメモリ3と、データを一時的に格納するための

メモリであるRAM4と、情報処理装置1とフラッシュメモリ3を書き換えるための外部制御装置6とを接続するためのコネクタ5と、を備えて構成される。

【0022】なお、フラッシュメモリ3は、基板実装後もプログラブルにデータの書き換えが可能であるため、必要に応じOS等の更新を自由に行うことができる。このOS等の更新は、情報処理装置1の、外部制御装置6との接続を行うためのコネクタ5を介して、外部制御装置6と接続されることによってフラッシュメモリ3のプログラムデータの書き換えが行われる。

【0023】一方の外部制御装置6は、外部制御装置6の全体制御および情報処理装置1におけるフラッシュメモリ3およびRAM4の書き込み制御を行うCPU7と、データロードプログラムやフラッシュメモリ書き込みプログラム等を格納するROM8と、情報処理装置1におけるCPU2にリセットをかけるためのリセット回路9と、FD媒体から更新プログラムデータを読み込むためのFDD13と、FDD13を制御するためのFDC10と、外部制御装置6と情報処理装置1とを接続するためのコネクタ12と、を備えて構成される。

【0024】なお、CPU7で使用するCPUは、フラッシュメモリ3やRAM4およびROM8をアクセスするのに適した（アクセスする程度で十分な）アドレスおよびデータ幅のものであれば良く、CPU2で使用するCPU（デバイス）ほどの性能・機能を有する必要はなく、安価のもを使用すれば良い。

【0025】また、更新プログラムデータを読み込む、外部ファイル装置は、FDDに限らず、CD-ROM（コンパクトディスク・リードオンリーメモリ）や、MO（光磁気ディスク装置）或いはZIP（大容量フロッピーディスク装置）等のリムーバブルディスク装置等であっても良い。

【0026】ところで、リセット回路9は、情報処理装置1の電源を監視する、図示しない電源監視IC等により構成され、情報処理装置1の電源電圧レベルが、所定のスレッシュホールドレベル以上になると、ハイレベルの信号を出力し、維持する。そして、電源電圧レベルが、所定のスレッシュホールドレベル以下になると、前記出力信号をローレベルの信号出力し、維持する。この出力信号が、CPU2に対するリセット信号として用いられる。尚、所定のスレッシュホールドレベルとは、情報処理装置1で使用される駆動用電源電圧に適した電源監視ICの選択により、決定される。

【0027】次に、本発明の情報処理装置の不揮発性記憶装置における動作について、図1および図2を参照しながら説明を行う。

【0028】図2は本発明の情報処理装置における不揮発性記憶装置の書き換え装置の動作の一例を示すフローチャートである。

【0029】以下、フラッシュメモリ3に記憶されたB

IOSやOS等に対して、バグの修正やバージョンアップ等により変更の必要が生じ、外部制御装置6より、情報処理装置1のフラッシュメモリ3の書き換えを行う場合について説明する。

【0030】まず、情報処理装置1と外部制御装置6とを、それぞれの装置に設けられたコネクタ5とコネクタ12により接続する。これにより、外部制御装置6から情報処理装置1のフラッシュメモリ3への書き込み準備が為される。続いて、情報処理装置1の電源をオンとすることにより、フラッシュメモリ3の書き換え処理が開始される（ステップS1）。

【0031】情報処理装置1の電源がオンされると、それを感知したリセット回路9は、CPU2にリセット信号を出力する（ステップS2）。リセット回路9よりリセット信号の供給されたCPU2は、フラッシュメモリ3の書き換えの実行中において、常にリセット状態が維持される。即ち、フラッシュメモリ3の書き換えの実行中において、CPU2のアドレスバスやデータバス等は、常に、ハイイビダンス状態となり、CPU2はメインバスから切り放された状態となる。これにより、CPU7に、情報処理装置1の各デバイス（フラッシュメモリ3およびRAM4等）および外部制御装置6の各デバイスの制御が移り、CPU7による、フラッシュメモリ3の書き換え処理が実行（開始）されことになる。

【0032】書き換え処理制御を行うCPU7は、先ず、ROM8をアクセスし、格納されたデータロードプログラムの実行を開始する（ステップS3）。即ち、FDC10を制御して、コネクタ11を介して接続されたFDD13から、フラッシュメモリ3の更新プログラムデータが読み込まれる。FDD13より読み込まれた更新プログラムデータは、データロードプログラムの実行によってRAM4にデータロードされる（ステップS4）。

【0033】RAM4への更新プログラムデータのロードが終了すると、CPU7は、ROM8に格納されたフラッシュメモリ書き込みプログラムの実行を開始する（ステップS5）。即ち、フラッシュメモリ書き込みプログラムの実行により、RAM4にロードされた更新プログラムデータは、フラッシュメモリ3に書き込まれる（ステップS6）。

【0034】そして、フラッシュメモリ3の書き換え処理が完了すると、情報処理装置1の電源がオフされ（ステップS7）、リセット回路9がステップS2の場合と逆の動作を行うことにより、CPU2は、メインバスを再びその制御下に置き、外部制御装置6との接続が解除されて、外部制御装置6（CPU7）による情報処理装置1のフラッシュメモリ3の書き換えが終了する。

【0035】

【発明の効果】以上述べたように、上記本発明によれば、データロードプログラムやフラッシュメモリ書き込

みプログラムを、外部制御装置（フラッシュメモリ書き換え装置）に設けたROMに格納することにより、フラッシュメモリの書き換え動作中に情報処理装置の電源を誤ってオフにしたり、或いはデータ化け等による誤ったデータがフラッシュメモリに書き込まれることにより、OSが正常に動作しなくなった場合でも、外部制御装置に設けたROMから再度書き込み動作を実行することにより、正しいプログラムデータをフラッシュメモリに書き込むことが可能となり、情報処理装置におけるフラッシュメモリ（不揮発性記憶装置）の書き換え作業が安全に行え、これにより、書き換え作業の失敗により、情報処理装置が二度と起動し得なくなるような状態が発生することを回避できる。

【0036】また、データロードプログラムやフラッシュメモリ書き込みプログラムを、外部制御装置に設けたROMに格納することにより、前記プログラムを情報処理装置のフラッシュメモリに格納する必要がなくなり、メモリ容量の圧迫を軽減することができる。

【0037】さらに、FDCおよびFDDコネクタを外部制御装置に設けることにより、その分、情報処理装置の小型化を可能とすることができる。

【図面の簡単な説明】

【図1】本発明の情報処理装置における不揮発性記憶装

置の書き換え装置の実施の形態を示すブロック図である。

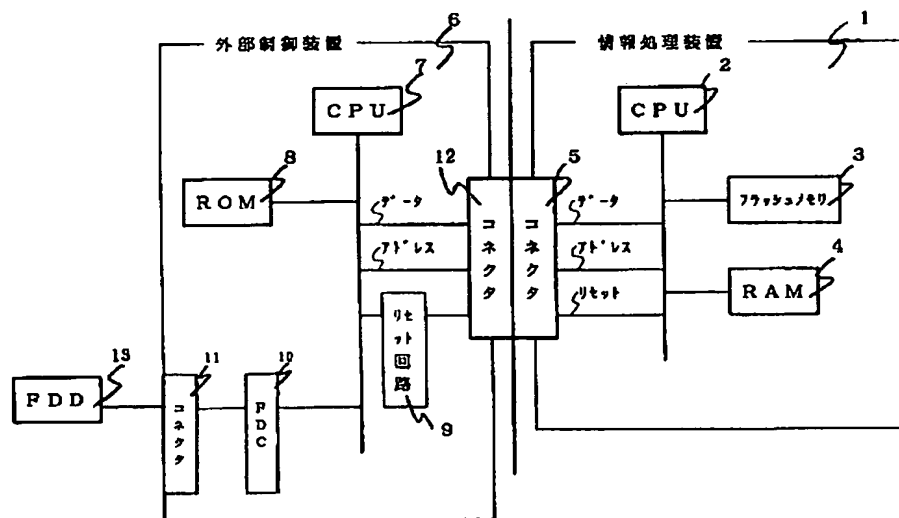
【図2】本発明の情報処理装置における不揮発性記憶装置の書き換え装置の動作の一例を示すフローチャートである。

【図3】従来の情報処理装置における不揮発性記憶装置の書き換え装置の一例を示すブロック図である。

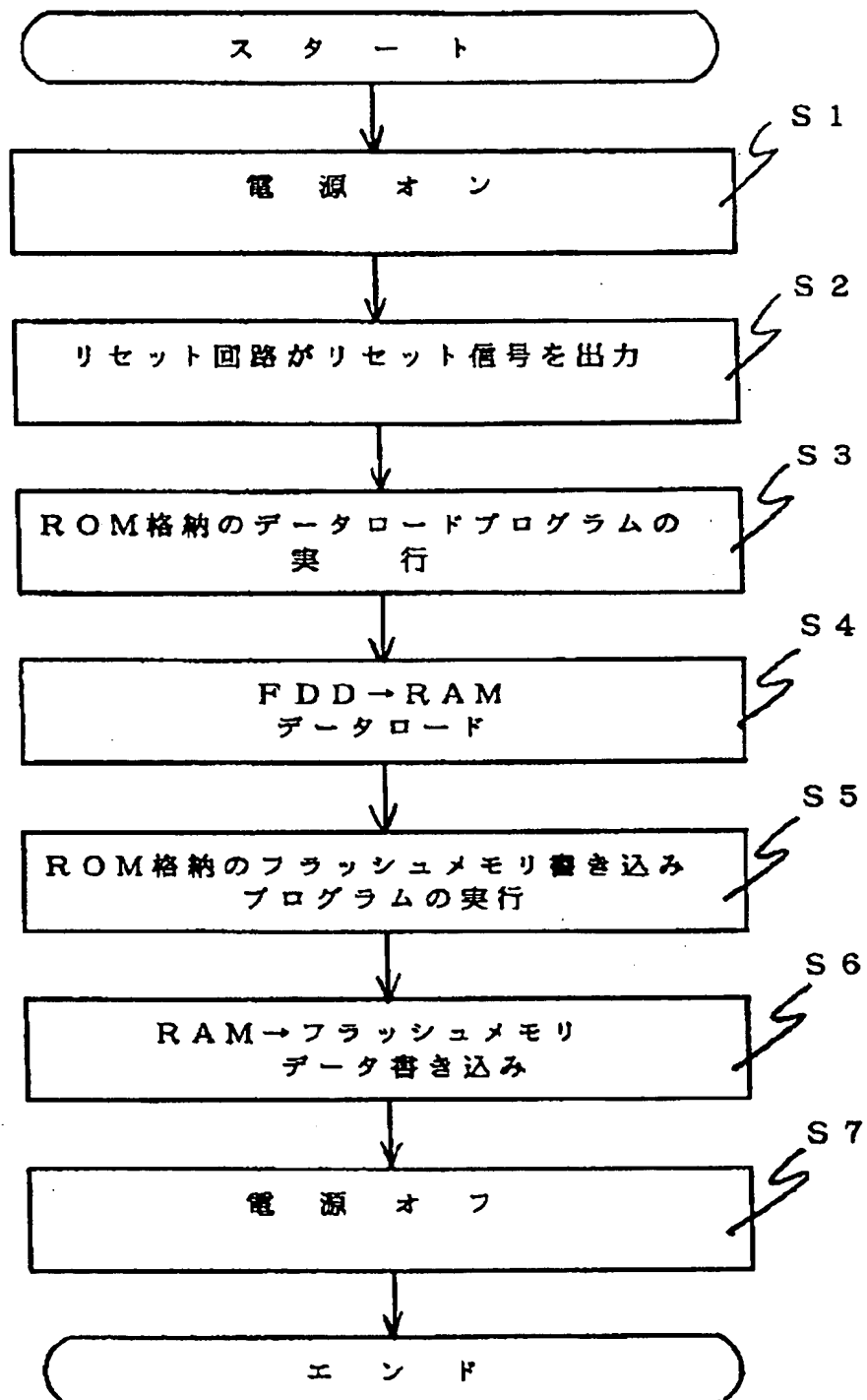
【符号の説明】

- 1 情報処理装置
- 2 CPU
- 3 フラッシュメモリ（不揮発性記憶装置）
- 4 RAM
- 5 コネクタ
- 6 外部制御装置（不揮発性記憶装置の書き換え装置）
- 7 CPU
- 8 ROM
- 9 リセット回路
- 10 FDC（FDコントローラ）
- 11 FDDコネクタ
- 12 コネクタ
- 13 FDD（FDドライブユニット）
- 14 従来の情報処理装置

【図1】



【図2】



【図3】

